

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-164719

(P2000-164719A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード<sup>\*</sup> (参考)H 0 1 L 21/768  
21/82  
27/04  
21/822H 0 1 L 21/90  
21/82  
27/04B  
W  
D

審査請求 未請求 請求項の数36 O L 外国語出願 (全 38 頁)

(21) 出願番号 特願平11-332183

(22) 出願日 平成11年11月24日 (1999. 11. 24)

(31) 優先権主張番号 9 8 1 4 9 0 8

(32) 優先日 平成10年11月26日 (1998. 11. 26)

(33) 優先権主張国 フランス (F R)

(71) 出願人 398048925

エスティマイクロエレクトロニクス

フランス、エフ-94250、ジェンティリイ、  
アベニュー・ガリエニ 7

(72) 発明者 フィリップ・ガイエット

フランス、エフ-38660、サン・ヴィンセ  
ント・ド・メルケーズ、リュ・ド・レグリ  
ズ (番地無し)

(74) 代理人 100081721

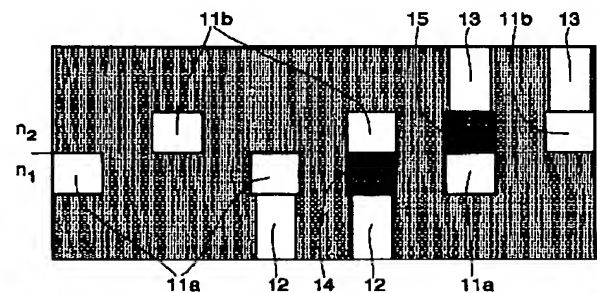
弁理士 岡田 次生

(54) 【発明の名称】 集積回路および集積回路製造方法

(57) 【要約】

【課題】 低減された配線間キャパシタンスをもつ集積回路を提供する。

【解決手段】 集積回路は、誘電体層および2つの隣接する金属レベルの配線を接続する金属バイアを備える少なくとも1つの金属レベルの配線をもつ。少なくとも1つの金属レベル $n$ の少なくとも一部は、高さ方向にずらされる2つの部分レベルに分けられる。集積回路は、上側の部分レベルの配線を、レベル $n$ の誘電体層の下にある素子と接続する少なくとも1つのバイアを含む。このバイアは、レベル $n$ の誘電体層、および下側の部分レベルの複数の配線を分離する誘電材料を貫通する。集積回路は、下側の部分レベルの配線を金属レベル $n+1$ の配線と接続する少なくとも1つのバイアを含む。このバイアは、レベル $n+1$ の誘電体層、および上側の部分レベルの複数の配線を分離する誘電材料を貫通する。導電配線を相互に分離する平均距離が増大され、この距離に反比例する配線間キャパシタンスが低減される。



1

## 【特許請求の範囲】

【請求項1】 高さ方向にずらされた複数の導線を有する上側および下側の部分レベルと、該複数の導線を分離し、かつ、該導線の下に延びる誘電体部分と、を含む相互接続レベルと、

上記下側の部分レベルの導線を分離する誘電体部分を貫通し、上記上側の部分レベルの導線を上記誘電体部分の下に位置する下側素子と接続する少なくとも1つの下向きバイアと、

上記上側の部分レベルの導線を分離する誘電体部分を貫通し、上記下側の部分レベルの導線を上記誘電体部分の上に位置する上側素子と接続する少なくとも1つの上向きバイアと、を備える集積回路。

【請求項2】 上記少なくとも1つの下向きバイアは、上記下側の部分レベルの第2導線の下に位置する第2の素子と接続する第2の下向きバイアを含む、請求項1に記載の集積回路。

【請求項3】 さらに、上記下側素子を含む半導体基板を備える、請求項1に記載の集積回路。

【請求項4】 さらに、上記上側素子を含む上側の相互接続レベルを備える、請求項1に記載の集積回路。

【請求項5】 上記導線は、上記上側および下側の部分レベルに分けられる、請求項1に記載の集積回路。

【請求項6】 上記導線は互いに交差しない、請求項1に記載の集積回路。

【請求項7】 さらに、上記上側および下側の部分レベルを分離する第3誘電体層を備える、請求項1に記載の集積回路。

【請求項8】 上記少なくとも1つの下向きおよび上向きバイアは、上記第3誘電体層を貫通する、請求項7に記載の集積回路。

【請求項9】 さらに、上記上側および下側の部分レベルを分離する、隣接する第3誘電体層およびストップ層を備える、請求項1に記載の集積回路。

【請求項10】 集積回路の導電層を形成する方法であって、

バイアを含む第1誘電体層上に第2誘電体層を堆積するステップと、

上記第2誘電体層内に少なくとも1つの第1溝をエッチングするステップと、

上記少なくとも1つの第1溝を金属で充填し、少なくとも1つの第1導線を形成するステップと、

上記少なくとも1つの第1導線および上記第2誘電体層上に第3誘電体層を堆積するステップと、

上記第3誘電体層内に少なくとも1つの第2溝をエッチングするステップと、

上記少なくとも1つの第2溝を金属で充填し、少なくとも1つの第2導線を形成するステップと、を含み、上記少なくとも1つの第2導線は、上記少なくとも1つの第

2

1導線と高さ方向にずらされ、上記導電層の少なくとも一部が上側の導電層と下側の導電層に分けられる方法。

【請求項11】 上記集積回路は、半導体基板および該半導体基板内に少なくとも1つの素子を含み、上記方法はさらに、上記第1誘電体層内のバイアを上記少なくとも1つの素子および上記少なくとも1つの第2導線に接続するステップを含む、請求項10に記載の方法。

【請求項12】 上記集積回路は、半導体基板および該半導体基板内に少なくとも1つの素子を含み、上記方法はさらに、上記第1誘電体層内のバイアを上記少なくとも1つの素子および上記少なくとも1つの第1導線に接続するステップを含む、請求項10に記載の方法。

【請求項13】 さらに、上記少なくとも1つの第2導線および上記第3誘電体層上に第4誘電体層を堆積するステップと、上記第3および第4誘電体層を貫通し、上記少なくとも1つの第1導線を上記第4誘電体層の上面に接続するバイアを形成するステップと、を含む、請求項10に記載の方法。

【請求項14】 上記少なくとも1つの第1および第2導線は、上側の導電層と下側の導電層に分けられる、請求項10に記載の方法。

【請求項15】 上記少なくとも1つの第1および第2導線は互いに交差しない、請求項10に記載の方法。

【請求項16】 上記少なくとも1つの第1導線を形成するステップは、くり抜かれた領域を含むマスクを使用して実施され、上記くり抜かれた領域は、上記少なくとも1つの第1導線を、上記第4誘電体層の上面に及ぶ対向するバイアに接続するための延長部分に対応する、請求項13に記載の方法。

【請求項17】 上記少なくとも1つの第2導線を形成するステップは、くり抜かれた領域を含むマスクを使用して実施され、上記くり抜かれた領域は、上記少なくとも1つの第2導線を、上記第1誘電体層の下面に及ぶ対向するバイアに接続するための延長部分に対応する、請求項10に記載の方法。

【請求項18】 上記金属は銅を含む、請求項10に記載の方法。

【請求項19】 集積回路の導電層を形成する方法であって、

少なくとも1つの第1導電層上に第1誘電体層および第1ストップ層を堆積するステップと、

上記第1ストップ層内に孔をエッチングするステップと、

上記第1誘電体層および上記第1ストップ層上に第2誘電体層を堆積するステップと、

上記第2誘電体層内に溝をエッチングするステップと、

上記第1ストップ層内のエッチングされた孔に対応して、上記第1誘電体層内に孔をエッチングするステップと、

50

3

上記エッチングされた孔および溝を金属で充填することにより、パイアおよび第1導線を形成するステップと、上記第2誘電体層上に第3誘電体層および第2ストップ層を堆積するステップと、上記第2ストップ層内に孔をエッチングするステップと、上記第3誘電体層および上記第2ストップ層上に第4誘電体層を堆積するステップと、上記第4誘電体層内に溝をエッチングするステップと、上記第2ストップ層内のエッチングされた孔に対応して、上記第3誘電体層内に孔をエッチングするステップと、上記エッチングされた孔および溝を金属で充填することにより、パイアおよび第2導線を形成するステップと、を含み、上記第2導線は、上記第1導線と高さ方向にずらされ、上記導電層が上側の導電層と下側の導電層に分けられる方法。

【請求項20】上記集積回路は、半導体基板および該半導体基板内に少なくとも1つの素子を含み、上記方法はさらに、上記第1誘電体層内のパイアを上記少なくとも1つの素子に接続するステップを含む、請求項19に記載の方法。

【請求項21】上記集積回路は、半導体基板および該半導体基板内に少なくとも1つの素子を含み、上記方法はさらに、上記第1誘電体層内のパイアの少なくとも1つを上記少なくとも1つの素子および上記第1導線に接続するステップを含む、請求項19に記載の方法。

【請求項22】上記第1および第2導線は、上記上側および下側の導電層に分けられる、請求項19に記載の方法。

【請求項23】上記第1および第2の導線は交差しない、請求項19に記載の方法。

【請求項24】上記少なくとも1つの第1導線を形成するステップは、くり抜かれた領域を含むマスクを使用して実施され、上記くり抜かれた領域は、上記少なくとも1つの第1導線を、上記第4誘電体層の上面に及ぶ対向するパイアに接続するための延長部分に対応する、請求項19に記載の方法。

【請求項25】上記少なくとも1つの第2導線を形成するステップは、くり抜かれた領域を含むマスクを使用して実施され、上記くり抜かれた領域は、上記少なくとも1つの第2導線を、上記第1誘電体層の下面に及ぶ対向するパイアに接続するための延長部分に対応する、請求項19に記載の方法。

【請求項26】上記集積回路は、半導体基板および該半導体基板内に少なくとも1つの素子を含み、上記方法はさらに、上記第1誘電体層内のパイアの少なくとも1つを上記少なくとも1つの素子および上記第1導線に接続するステップを含む、請求項19に記載の方法。

【請求項27】上記金属は銅を含む、請求項19に記載

4

の方法。

【請求項28】集積回路の導電層を形成する方法であって、

パイアを含む第1誘電体層上に第1導電層を堆積するステップと、

上記第1導電層をエッチングし、複数の第1導線を形成するステップと、

上記複数の第1導線および上記第1誘電体層上に、第2誘電体層を堆積するステップと、

上記第2誘電体層上に第2導電層を堆積するステップと、

上記第2導電層をエッチングし、複数の第2導線を形成するステップと、

上記複数の第2導線および上記第2誘電体層上に、第3誘電体層を堆積するステップと、を含み、上記第2導線は、上記第1導線と高さ方向にずらされ、上記導電層が上側の導電層と下側の導電層に分けられる方法。

【請求項29】上記集積回路は、半導体基板および該半導体基板内に少なくとも1つの素子を含み、上記方法はさらに、上記第1誘電体層内のパイアを上記少なくとも1つの素子に接続するステップを含む、請求項28に記載の方法。

【請求項30】上記集積回路は、半導体基板および半導体基板内に少なくとも1つの素子を含み、上記方法はさらに、上記第1誘電体層内のパイアのうち少なくとも1つを上記少なくとも1つの素子および上記第1導線に接続するステップを含む、請求項28に記載の方法。

【請求項31】さらに、上記第3および第2誘電体層を貫通し、少なくとも1つの上記第1導線を上記第3誘電体層の上面に接続するパイアを形成するステップを含む、請求項28に記載の方法。

【請求項32】上記複数の第1および第2導線は、上記上側および下側の導電層に分けられる、請求項31に記載の方法。

【請求項33】上記複数の第1および第2導線は交差しない、請求項31に記載の方法。

【請求項34】上記第1導線を形成するステップは、くり抜かれた領域を含むマスクを使用して実施され、上記くり抜かれた領域は、上記第1導線を、上記第2誘電体層の上面に及ぶ対向するパイアに接続するための延長部分に対応する、請求項31に記載の方法。

【請求項35】上記第2導線を形成するステップは、くり抜かれた領域を含むマスクを使用して実施され、上記くり抜かれた領域は、上記第2導線を、上記第1誘電体層の下面に及ぶ対向するパイアに接続するための延長部分に対応する、請求項31に記載の方法。

【請求項36】上記金属は銅を含む、請求項31に記載の方法。

【発明の詳細な説明】

【0001】

10

20

30

40

50

5

【発明の属する技術分野】この発明は、集積回路特に絶縁層によって分離される導電層の積み重ねを含む集積回路の分野、およびその製造プロセスに関連する。

【0002】

【従来の技術】1つまたは複数の絶縁層で分離される導電層を含む集積回路において、導電層のさまざまなレベルの間に電気接続を確立する必要がある。典型的に、2つの導電層は、絶縁層内に設けられ金属で充填される孔によって電氣的に接続される。そのような接続はバイアと呼ばれる。

【0003】集積回路は、金属層を堆積してエッチングし、エッチングによって露出した空間を誘電材料で充填することによる従来の方法で製造することができる。また集積回路は、ダマシン(damascene)と呼ばれるプロセスを使用して製造することもできる。プロセスの中で、レベルn-1の金属層上に、第1絶縁層が堆積される。この絶縁層を貫通する孔がエッチングされ、バイアを形成する金属が堆積され、絶縁層の上面と同じ高さに研磨される。こうして形成されたレベルnのバイアの上に新しい絶縁層が堆積される。将来の配線を形成する溝(trench、トレンチ)がエッチングされ、レベルnの金属層の配線を形成する金属が堆積される。金属は、絶縁層の上面と同じ高さに研磨されるという具合である。このプロセスは、銅からなる配線およびバイアの形成に好適である。この材料は、室温でエッチングすることができず、小さい断面をもつ配線に関して有利な電氣的特性をもつからである。このプロセスは、配線およびバイアを通常形成する金属を用いて利用することもできる。

【0004】ダブルダマシン・プロセスでは、金属は、バイアおよび配線の両方の中に堆積され研磨される。具体化の1つの方法で、通常窒化物からなるストップ層が、バイアの絶縁層と配線の間に設けられる。最終的な構造を得るため、窒化物に対して、絶縁層を形成する酸化物のエッチングの優れた選択性が必要とされる。

【0005】

【発明が解決しようとする課題】集積回路の密度を高めるため、金属配線の幅および2つの金属配線を分離する誘電材料の幅を低減する試みがなされている。しかし、2つの隣接する金属配線の間に存在する電氣的キャパシタンスは、それらを分離する距離に反比例する。回路の密度を高めるためにこの距離を低減すると、配線間キャパシタンスが増加する。これは、配線の中の電気信号の伝搬定数 $\tau$ の増加をもたらすため問題である：

$$\tau = R \cdot C$$

変数Rは、金属配線の抵抗であり、Cは配線間キャパシタンスである。さらに、2つの隣接する配線の中を伝搬する2つの電気信号の間の漂遊結合(stray coupling)すなわちクロストークも増大する。この配線間キャパシタンスは、使用される誘電材料の誘電率 $k$ に比例し、配線の側面の面積に比例する。低誘電率 $k$ をもつ誘電材料を

6

使用したり、銅のように低抵抗の導電材料を使用したり、配線の高さおよび側面の面積を低減しようとする傾向がある。しかし、低誘電率をもつ誘電材料の使用および低抵抗の導電材料の使用は、集積回路の製造の分野で集積化の問題をもたらす。

【0006】この発明の目的は、低減された配線間キャパシタンスをもつ集積回路を提供することにより上述の技法の欠点を改善することである。

【0007】

10 【課題を解決するための手段】集積回路は、誘電体層および2つの隣接するレベルの線路(track、トラック、配線)を接続する金属バイアを備える少なくとも1つの金属レベルの線路を含む。少なくとも1つの金属レベルnの少なくとも一部は、高さ方向に(heightwise)ずらされた2つの部分レベルに分けられる。回路は、上側の部分レベルの線路をレベルnの誘電体層の下にある素子と接続する少なくとも1つのバイアを含む。このバイアは、レベルnの誘電体層、および下側の部分レベルの複数の線路を分離する誘電材料を貫通する。回路は、下側の部分レベルの線路を金属レベルn+1の線路と接続する少なくとも1つのバイアを含む。このバイアは、レベルn+1の誘電体層、および上側の部分レベルの複数の線路を分離する誘電材料を貫通する。導電性線路を相互に分離する平均距離が増加され、この距離に反比例する配線間キャパシタンスが低減される。

【0008】ある実施例で、金属レベルの複数の線路の一部は、上側の部分レベルと下側の部分レベルに分けられる。

30 【0009】別の実施例で、金属レベルの複数の線路の一部は、それらが交差することなく設けられる。

【0010】更に別の実施例で、上側および下側の部分レベルは隣接する。

【0011】更なる実施例で、上側および下側の部分レベルは、追加の誘電材料層によって分離される。

【0012】この発明の別の実施例で、上側の部分レベルの線路をレベルnの誘電体層の下にある素子と接続する少なくとも1つのバイアは、追加の誘電材料層を貫通する。下側の部分レベルの線路を金属レベルn+1の線路と接続する少なくとも1つのバイアは、追加の誘電材料層を貫通する。上側および下側の部分レベルは、追加の誘電材料層およびストップ層によって分離することができる。

【0013】この発明に従って集積回路を製造するプロセスで、バイアを備える第1誘電体層上に、第2誘電体層が堆積される。第2誘電体層内に溝がエッチングされ、溝を金属で充填することにより導電性線路が形成される。第3誘電体層が堆積される。第3誘電体層内に溝がエッチングされ、溝を金属で充填することによって導電性線路が形成される。こうして得られる金属レベルの少なくとも一部は、高さ方向にずらされた2つの部分レ

50

7

ベルに分けられる。

【0014】ある実施例で、第3誘電体層の前にストップ層を堆積し、溝の深さを制御することができる。

【0015】この発明に従って集積回路を製造するプロセスにおいて、第1誘電体層上にストップ層が堆積され、ストップ層内に孔がエッチングされる。第2誘電体層が堆積される。第2誘電体層内に溝がエッチングされ、ストップ層内の孔に対応する位置で第1誘電体層内に孔がエッチングされる。孔および溝を金属で充填することによって、バイアおよび導電性線路が形成される。第3誘電体層および第2ストップ層が堆積され、孔が、第2ストップ層内にエッチングされる。第4誘電体層が堆積される。溝が、第4誘電体層内にエッチングされ、孔が、第2ストップ層内の孔に対応する位置で第3誘電体層内にエッチングされる。孔および溝を金属で充填することによってバイアおよび導電性線路が形成され、高さ方向にずらされた2つの部分レベルに分けられる金属レベルの少なくとも一部を得る。

【0016】集積回路の製造プロセスの中で、バイアを備える誘電体層上に第1金属層が堆積され、エッチングされる。エッチングによって残される空いた空間は、誘電材料で充填される。第2金属層が堆積されエッチングされる。エッチングによって残される空いた空間は、誘電材料で充填され、高さ方向にずらされた2つの部分レベルに分けられる金属レベルの少なくとも一部を得る。

【0017】導線の形成に使用されるマスクは、くり抜かれた領域を含み、このくり抜かれた領域は、与えられる上側または下側の部分レベルの配線を、該部分レベルに対向して位置し、下側の部分レベルの下または上側の部分レベルの上にあるバイアとそれぞれ接続するために使用される延長部分に対応する。

【0018】従って、この発明に従って改善される幾何学的形状の使用により配線間の誘電材料の非常に小さい幅をもつ集積回路を、さまざまな技術を使用して製造することができる。

【0019】

【発明の実施の形態】この発明は、限定的でない例示によって示され添付の図面によって示されるいくつかの実施例の詳細な説明を考察することによって一層明らかに理解されるであろう。

【0020】図1ないし図3を参照して、集積回路の一部は、与えられる導電レベルに、複数の導線1および複数のバイア2、3を含む。バイア2、3は、隣接し重ね合わせられる導電層の2本の配線、または、導電層の1本の配線と下部に位置する半導体基板の一部が電気的に接続されることを可能にする。特に、図3は、バイア2が、与えられる導電層の配線1を下部に位置する素子に接続することを可能にするを示す。バイア3は、配線1が、その配線1の属する導電層の上に位置する素子に接続されることを可能にする。同一の導電レベルの2本の

8

配線1の間に存在するキャパシタンスは、それらを分離する誘電体の誘電率および互いに対向するそれらの面積に比例し、それらを分離する距離に反比例する。

【0021】次の図面に関して、前の図面と同様の素子の参照数字を10だけ増やしている。図4は、この発明に従う集積回路が金属配線11、下向きのバイア12、および上向きのバイア13を含むことを示す。しかし、この発明は、単一の導電層を備える集積回路に適用することもでき、その場合、バイアは半導体基板に向かって下降するものだけである。

【0022】図5は、図示される導電レベルの導線のいくつかが高さ方向にずらされていることを示す。従って、配線11aは、下側の部分レベルにあり、配線11bは、上側の部分レベルにある。この組み合わせは、従来の導電レベルと同じ接続を提供する。2本のうち1本の導線がこのようにずらされ、それによって可能な配線の最大数に関して2本の配線の間の平均距離を増大させることを可能にすることが好ましい。これは、集積回路のレイアウトまたは設計を変更する必要なく、配線を分離する距離を増大させることによってそれらの配線間キャパシタンスを低減する。

【0023】図6は、2つの部分レベルに分けられる導電レベルに関してバイアが上方または下方に接続される方法を示す。バイア12は、下側のレベルにある素子(図示せず)と上側の部分レベルn2にある配線11bの間の電気接続を提供するためのものである。それゆえ、14と付されたバイア12の延長部分が、下側の部分レベルn1に設けられる。延長部分14は、下側の部分レベルn1にあり、配線11a、11bと同じ幅をもつことができる。

【0024】同様に、複数のバイア13のうちの1つは、下側の部分レベルn1の配線11aを上側のレベルの素子(図示せず)に接続するためのものであることが分かるであろう。バイア13は、上側の部分レベルn2に下向きの延長部分15を備え、実際のバイア13とこのバイアが接続される導線11aとの間に電気接続を提供する。これに対し、バイア13は、配線11bに直接接続してもよく、バイア12は、配線11aに直接接続してもよい。

【0025】下側のn1および上側のn2の部分レベルにあるバイア12および13の延長部分14および15の存在は、配線間キャパシタンスにほんのわずかな影響しか与えない。これは、延長部分14および15が別々の位置にあり、配線と同じ幅をもち、バイアの幅または配線の幅と同等の長さをもつからである。従って、それらの存在は、他の配線と向かい合う小さい面積のため、配線間キャパシタンスにほんのわずかな増加を与えるにすぎない。この増加は、この発明によって得られる配線間キャパシタンスの低減と比べて無視できるほどである。

【0026】図7ないし図10は、図4ないし図6に示したような集積回路を製造するのに使用されるさまざまな樹脂マスクを示す。図7で、マスク16は、例えば将来

9

のバイア12に対応する位置でフォトリソエッチングすることにより得られるくり抜かれた領域17を含む。このマスク16は、ストップ層を用いたダブルダマシン・プロセスの場合、下側の部分レベル $n_1$ が上にのるストップ層をエッチングするために使用することができる。シングルダマシン・プロセスの場合は、マスク16は、下側の部分レベル $n_1$ の下にある誘電体層をエッチングし将来のバイア12に対応する孔を設けるのに役に立つ。

【0027】図8に示すマスク18は、下側の部分レベル $n_1$ の将来の配線11aの位置に対応するくり抜かれた領域19、およびマスク16内に設けられるものと同じように位置するくり抜かれた領域17を含む。これは、レベル $n_1$ にバイア12の延長部分14を形成するためのものである。マスク18は、レベル $n_1$ のさまざまな配線11aと延長部分14の間の絶縁を提供する誘電体層をエッチングするために使用される。

【0028】図9に示すマスク20は、上側の部分レベル $n$ の将来の配線11bに対応する位置にあるくり抜かれた領域21、およびレベル $n_2$ におけるバイア13の将来の延長部分15の位置に対応するくり抜かれた領域22を含む。マスク18と同様に、マスク20は、さまざまな配線11bおよび延長部分15の間の絶縁を提供するレベル $n_2$ の誘電体層をエッチングするために使用される。

【0029】図10に示すマスク23は、マスク20と同じくり抜かれた領域22を含む。くり抜かれた領域22は、将来のバイア13の位置に対応し、くり抜かれた領域24は、別の将来のバイア13の位置に対応する。シングルダマシン・プロセスで、マスク23は、上側の部分レベル $n_2$ を、上の別の導電レベルから分離する誘電体層をエッチングするのに使用される。ストップ層を用いたダブルダマシン・プロセスでは、マスク23は、上側の部分レベル $n_2$ を上

の導電レベルから分離する誘電体層上にあるストップ層(図示せず)をエッチングするために使用される。

【0030】図11は、ストップ層を用いたダブルダマシン・プロセスに従って製造される集積回路を示す。導電レベル $n-1$ の上に、例えば酸化シリコンからなる誘電体層34および窒化シリコンからなる薄いストップ層35が堆積される。導電レベル $n-1$ は、誘電材料33で分離された導線30、31および32を含む。次に、ストップ層35が樹脂マスクを使用してエッチングされ、ストップ層35内に3つの孔36を得る。樹脂マスクは、図7のマスク16のようなタイプでありえる。このエッチング・ステップは、誘電体層34に達すると止められる。

【0031】次に、例えば酸化シリコンからなる誘電体層37が堆積される。誘電体層37は、樹脂マスクを使用してエッチングされ、誘電体層37内に溝38を規定し、ストップ層35内に既に形成されている孔36を使用して誘電体層34の中に孔39を規定する。樹脂マスクは、図8のマスク18のようなタイプでありえる。次に、孔39および溝38が金属で充填され、こうしてバイア40および下側の部分

10

レベル $n_1$ の配線41が形成される。

【0032】上側の部分レベル $n_2$ を形成するため、誘電体層42が堆積され、マスクを使用してエッチングされる。このように形成される溝は、金属で充填され、配線43を得る。マスクは、図9のマスク20のようなタイプでありえる。配線31の上にあるバイア40は、レベル $n_1$ に延長部分44を備え、この延長部分44は、バイア40が配線43に接続されることを可能にする。延長部分44は、下側の部分レベル $n_1$ にあり、レベル $n_1$ の配線41と同時に形成される。同様に、レベル $n_2$ には、配線32の上の配線41がレベル $n+1$ のバイアと接続されることを可能にする延長部分45を設ける。次に、誘電体層46およびその後

にストップ層47が堆積され、上述したステップが繰り返され、導電レベル $n+1$ を形成する。このレベルは、1つのレベルの従来のタイプであり、または、この発明に従う2つの部分レベルのタイプであってもよい。

【0033】図12は、この発明に従うシングルダマシン・プロセスによって得られる集積回路を示す。導電レベル $n-1$ 上に、誘電体層34が堆積され、エッチングされ、孔48を形成する。次に、これらの孔48は、金属で充填され、レベル $n$ のバイア49を形成する。導電レベル $n-1$ は、誘電材料33によって分離される導線30ないし32を含む。このエッチング・ステップは、樹脂マスクを使用して実施することができる。樹脂マスクは、図7のマスク16のようなタイプでありえる。

【0034】次に、誘電体層50が堆積され、下側の部分レベル $n_1$ を形成する。これは、樹脂マスクを使用してエッチングされ、それによって溝51を得ることを可能にする。溝51は金属で充填され、配線52を形成する。樹脂マスクは、図8のマスク18のようなタイプでありえる。次に、誘電体層53が堆積され、樹脂マスクを使用してエッチングされる。樹脂マスクは、図9のマスク20のようなタイプでありえる。次に、こうして得られた溝を金属で充填し、導電レベル $n_2$ の導線54を形成する。

【0035】先の図に示した集積回路のように、延長部分44および45を設けている。次に、誘電体層55が堆積され、樹脂マスクを使用してエッチングされ、レベル $n+1$ のバイア56を形成する。樹脂マスクは、図10のマスク23のようなタイプでありえる。次に、以前のステップを繰り返して、導電レベル $n+1$ を形成することができる。この導電レベルは、従来のタイプでもよく、または、この発明に従う高さ方向にずらされた2つの部分レベルに分けられるタイプでもよい。

【0036】図13は、図11の集積回路の代替実施例を示す。この代替実施例によると、下側 $n_1$ および上側 $n_2$ の2つの部分レベルは、誘電材料からなる追加の層57および追加のストップ層60によって分離される。追加の層57は、追加のバイア58および59を備え、これは、下側の部分レベル $n_1$ と上側の部分レベル $n_2$ の間の電気的接続を与えることを可能にする。追加のバイア58は、レベル $n_2$ の



11

導線43と、レベルnのバイア40のレベルn<sub>1</sub>の延長部分44との間にある。追加のバイア59は、レベルn<sub>1</sub>の導線41と、レベルnの対応するバイアのレベルn<sub>2</sub>の延長部分45との間にある。

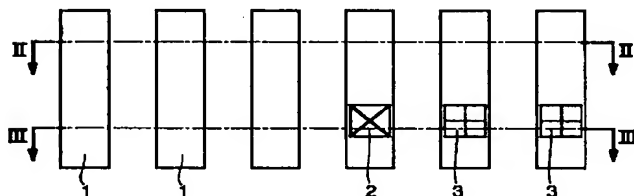
【0037】これらの追加のバイアを使用して必要な電気接続を形成し、例えば配線41および43のようなさまざまな導線の間の距離を増加させることを可能にする。この構造によって、配線間のキャパシタンスの更に大きい低減が達成される。図11ないし図13で、レベルn-1を導電レベルとして説明した。しかし、それは半導体基板でもよく、それでもなおこの発明の範囲内である。

【0038】この発明によって、集積回路の速さ性能は、時定数RxCの低減により強化される。ここで、Rは、配線の抵抗であり、Cは、配線間キャパシタンスである。さらに、配線間キャパシタンスの低減により、配線間クロストークも低減される。配線間キャパシタンスの低減は、使用される誘電材料および配線の高さに関係なく、また、回路設計で相互接続レベルの数を増加させることなく達成される。加えて、与えられる導電レベルが2つの部分レベルに分けられることは、高価になりうる集積回路全体の設計の改めを必要としない。それに代わって、必要とされるマスクを規定するため既存の製図

に対する変更のみが必要とされる。

【0039】従って、この発明に従う集積回路は、使用されるダマシン・プロセスのタイプがどんなものであろうとダマシン製造プロセスを使用して得られる。さらに、この発明に従う集積回路は、従来の製造プロセスを使用して、すなわち金属層の写真平版(フォトリソグラフィック)エッチングによって得ることもできる。もちろん、集積回路は、この発明に従ってただ1つの導電レベルに関して、またはこの発明に従っていくつかの導電レベルに関して製造することできる。従って、特定の配線間キャパシタンスの問題が存在する導電レベルを実現するに\*

【図1】



12

\*ついてすでに形成途中にある集積回路の製造を変更することが可能である。追加の誘電体層を用いるダブルダマシン技術で製造される回路の場合、追加の誘電体層およびレベルn<sub>2</sub>は、ダブルダマシン・プロセスを使用して形成することができる。これは、時間を節約し製造コストを削減する。配線およびバイアについて低誘電率の誘電体および低抵抗率の金属を使用することも可能である。

【0040】

【発明の効果】本発明によれば、低減された配線間キャパシタンスをもつ集積回路を提供することができる。

【図面の簡単な説明】

【図1】従来技術による集積回路の上面図。

【図2】図1のセクションII-IIの断面図。

【図3】図1のセクションIII-IIIの断面図。

【図4】この発明に従う集積回路の上面図。

【図5】図4のセクションV-Vの断面図。

【図6】図4のセクションVI-VIの断面図。

【図7】この発明に従う集積回路の製造に使用されるマスクの上面図。

【図8】この発明に従う集積回路の製造に使用されるマスクの上面図。

【図9】この発明に従う集積回路の製造に使用されるマスクの上面図。

【図10】この発明に従う集積回路の製造に使用されるマスクの上面図。

【図11】この発明に従う集積回路の断面図。

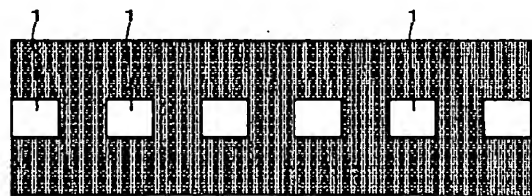
【図12】この発明に従う集積回路の断面図。

【図13】この発明に従う集積回路の断面図。

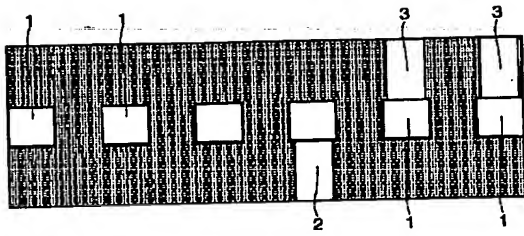
【符号の説明】

11a、11b 配線  
12、13 バイア  
14、15 延長部分

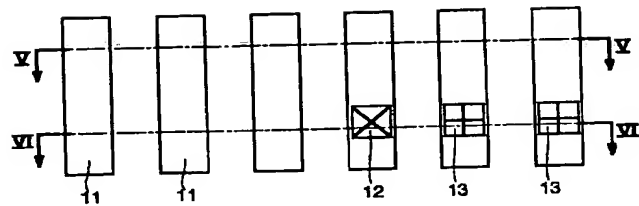
【図2】



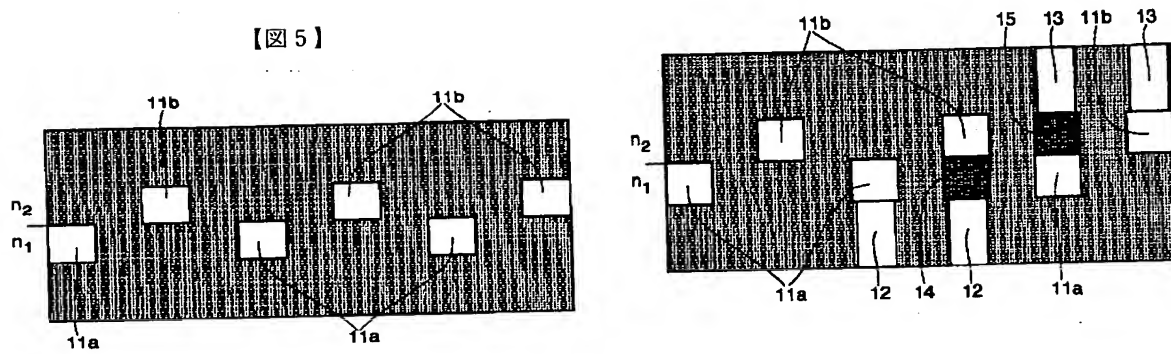
【図3】



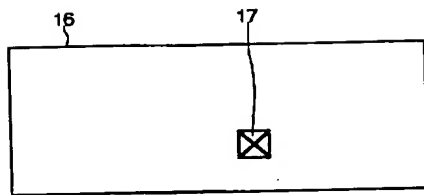
【図4】



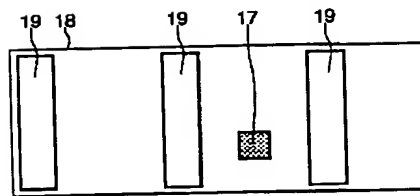
【図6】



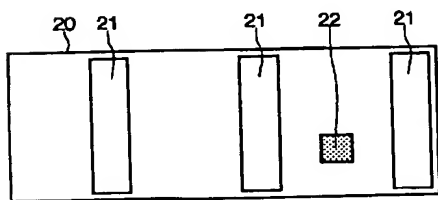
【図7】



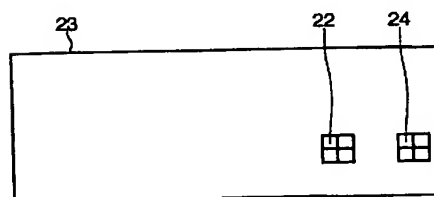
【図8】



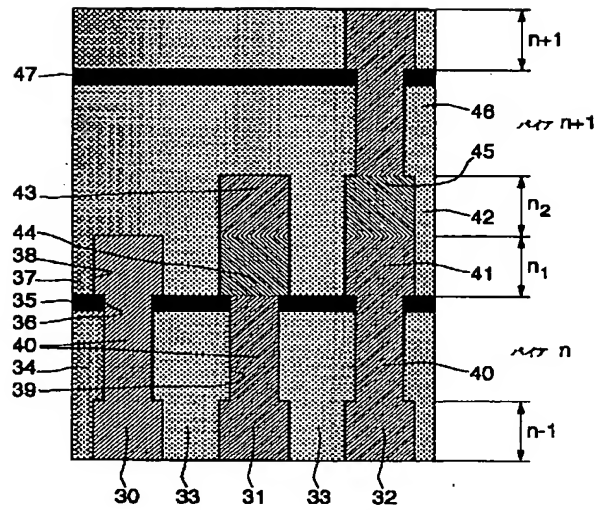
【図9】



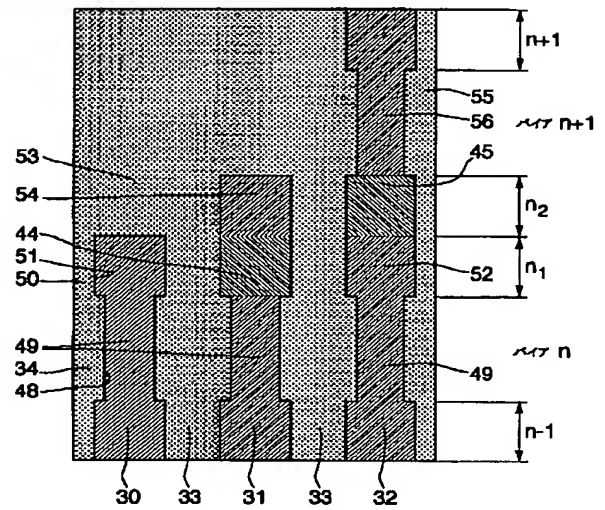
【図10】



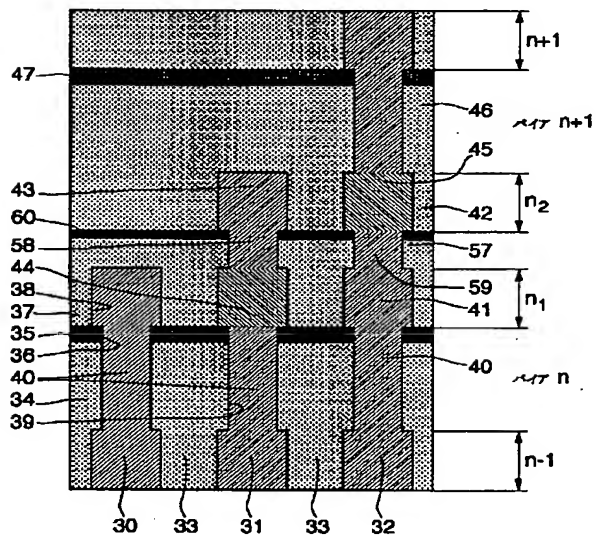
【図11】



【図12】



【図13】



## 【外国語明細書】

## 1. Title of Invention

Integrated circuit and associated fabrication process

## 2. Claims

## 1. An integrated circuit comprising:

an interconnect level comprising upper and lower partial levels including respective conductive lines offset heightwise from each other, and respective dielectric portions separating adjacent conductive lines and extending above and below the conductive lines;

at least one descending via connecting a conductive line of the upper partial level with a lower element located below the dielectric portions of said interconnect level, the at least one descending via extending through the dielectric portions separating adjacent conductive lines of the lower partial level; and

at least one ascending via connecting a conductive line of the lower partial level with an upper element located above the dielectric portions of said interconnect level, said at least one ascending via extending through the dielectric portions separating adjacent conductive lines of the upper partial level.

2. An integrated circuit according to Claim 1, wherein said at least one descending via comprises a second descending via connecting a second conductive line of the lower partial level with a second lower element located below the dielectric portions of said interconnect level, the second descending via extends through the dielectric portions under the second conductive line.

3. An integrated circuit according to Claim 1, further comprising a semiconductor substrate including the lower element.

4. An integrated circuit according to Claim 1, further comprising an upper interconnect level including the upper element.

5. An integrated circuit according to Claim 1 , wherein said conductive lines are divided between said upper and lower partial levels.

6. An integrated circuit according to Claim 1 , wherein said conductive lines do not intersect each other.

7. An integrated circuit according to Claim 1 , further comprising a third dielectric layer separating the upper and lower partial levels.

8. An integrated circuit according to Claim 7 , wherein said at least one descending and ascending vias pass through said third dielectric layer.

9. An integrated circuit according to Claim 1 , further comprising a third dielectric layer and a stop layer adjacent said third dielectric layer separating said upper and lower partial levels.

10. A method for forming a conductive layer of an integrated circuit comprising the steps of:

- depositing a second dielectric layer on a first dielectric layer comprising vias,
- etching at least one first trench in the second dielectric layer;
- filling the at least one first trench with metal to define at least one first conductive line;
- depositing a third dielectric layer on the at least one first conductive line and the second dielectric layer;
- etching at least one second trench in the third dielectric layer; and
- filling the at least one second trench with metal to define at least one second conductive line;

the at least one second conductive line is offset heightwise with the at least one first conductive line so that at least a portion of the conductive layer is split into an upper conductive layer and a lower conductive layer.

11. A method according to Claim 10, wherein the integrated circuit comprises a semiconductor substrate and at least one element in the semiconductor substrate; the method further comprising the step of connecting the vias in the first dielectric layer to the at least one element and the at least one second conductive line.

12. A method according to Claim 10, wherein the integrated circuit comprises a semiconductor substrate and at least one element in the semiconductor substrate; the method further comprising the step of connecting the vias in the first dielectric layer to the at least one element and the at least one first conductive line.

13. A method according to Claim 10, further comprising the steps of:  
depositing a fourth dielectric layer on the at least one second conductive line and the third dielectric layer; and  
forming vias through the third and fourth dielectric layers connecting the at least one first conductive line with an upper surface of the fourth dielectric layer.
14. A method according to Claim 10, wherein the at least one first and second conductive lines are divided between the upper and lower conductive layers.
15. A method according to Claim 10, wherein the at least one first and second conductive lines do not intersect each other.
16. A method according to Claim 13, wherein the step of defining the at least one first conductive line is performed using a mask comprising a recessed zone corresponding to an extension for connecting the at least one first conductive line to an opposing via for contacting an upper surface of the fourth dielectric layer.
17. A method according to Claim 10, wherein the step of defining the at least one second conductive line is performed using a mask comprising a recessed zone corresponding to an extension for connecting the at least one second conductive line to an opposing via for contacting a lower surface of the first dielectric layer.
18. A method according to Claim 10, wherein the metal comprises copper.

19. A method for forming a conductive layer of an integrated circuit comprising the steps of:

- depositing a first dielectric layer and a first stop layer on at least one first conductive layer;
- etching holes in the first stop layer;
- depositing a second dielectric layer on the first dielectric layer and the first stop layer;
- etching trenches in the second dielectric layer;
- etching holes in the first dielectric layer corresponding to the etched holes in the first stop layer;
- forming vias and first conductive lines by filling the etched holes and the trenches with metal;
- depositing a third dielectric layer and a second stop layer on the second dielectric layer;
- etching holes in the second stop layer;
- depositing a fourth dielectric layer on the third dielectric layer and the second stop layer;
- etching trenches in the fourth dielectric layer;
- etching holes in the third dielectric layer corresponding to the etched holes in the second stop layer;
- and
- forming vias and second conductive lines by filling the etched holes and the trenches with metal;
- the second conductive lines are offset heightwise with the one first conductive lines so that the conductive layer is split into an upper conductive layer and a lower conductive layer.

20. A method according to Claim 19, wherein the integrated circuit comprises a semiconductor substrate and at least one element in the semiconductor substrate; the method further comprising the step of connecting the vias in the first dielectric layer to the at least one element.



21. A method according to Claim 19, wherein the integrated circuit comprises a semiconductor substrate and at least one element in the semiconductor substrate; the method further comprising the step of connecting at least one of the vias in the first dielectric layer to the at least one element and a first conductive line.

22. A method according to Claim 19, wherein the first and second conductive lines are divided between the upper and lower conductive layers.

23. A method according to Claim 19, wherein the first and second conductive lines do not intersect.

24. A method according to Claim 19, wherein the step of defining the at least one first conductive line is performed using a mask comprising a recessed zone corresponding to an extension for connecting the at least one first conductive line to an opposing via for contacting an upper surface of the fourth dielectric layer.

25. A method according to Claim 19, wherein the step of defining the at least one second conductive line is performed using a mask comprising a recessed zone corresponding to an extension for connecting the at least one second conductive line to an opposing via for contacting a lower surface of the first dielectric layer.

26. A method according to Claim 19, wherein the integrated circuit comprises a semiconductor substrate and at least one element in the semiconductor substrate; the method further comprising the step of connecting at least one of the vias in the first dielectric layer to the at least one element and a first conductive line.

27. A method according to Claim 19, wherein the metal comprises copper.

28. A method for forming a conductive layer of an integrated circuit comprising the steps of:

depositing a first conductive layer on a first dielectric layer including vias;

etching the first conductive layer defining a plurality of first conductive lines;

depositing a second dielectric layer on the plurality of first conductive lines and the first dielectric layer;

depositing a second conductive layer on the second dielectric layer;

etching the second conductive layer defining a plurality of second conductive lines; and

depositing a third dielectric layer on the plurality of second conductive lines and the second dielectric layer;

the second conductive lines are offset heightwise with the first conductive lines so that the conductive layer is split into an upper conductive layer and a lower conductive layer.

29. A method according to Claim 28, wherein the integrated circuit comprises a semiconductor substrate and at least one element in the semiconductor substrate; the method further comprising the step of connecting the vias in the first dielectric layer to the at least one element.

30. A method according to Claim 28, wherein the integrated circuit comprises a semiconductor substrate and at least one element in the semiconductor substrate; the method further comprising the step of connecting at least one of the vias in the first dielectric layer to the at least one element and to a first conductive line.

31. A method according to Claim 28, further comprising the step of forming vias through the third and second dielectric layers connecting the at least one first conductive line with an upper surface of the third dielectric layer.

32. A method according to Claim 31, wherein the plurality of first and second conductive lines are divided between the upper and lower conductive layers.

33. A method according to Claim 31, wherein the plurality of first and second conductive lines do not intersect.

34. A method according to Claim 31, wherein the step of forming the first conductive line is performed using a mask comprising a recessed zone corresponding to an extension for connecting the first conductive line to an opposing via for contacting an upper surface of the second dielectric layer.

35. A method according to Claim 31, wherein the step of forming the second conductive line is performed using a mask comprising a recessed zone corresponding to an extension for connecting the second conductive line to an opposing via for contacting a lower surface of the first dielectric layer.

36. A method according to Claim 31, wherein the metal comprises copper.

3. Detailed Description of Invention

### Field of the Invention

The present invention relates to the field of integrated circuits, and, more particularly, to an integrated circuit comprising a stack of conducting layers separated by insulating layers, and to a fabrication process thereof.

### Background of the Invention

In an integrated circuit that includes conducting layers separated by one or more insulating layers, it is necessary to establish electrical connections between various levels of the conducting layers. Typically, two conducting layers are electrically connected by holes provided in the insulating layer and filled with metal, with such a connection being called a via.

The integrated circuits may be produced in a conventional manner by depositing and then etching a metal layer, and by filling the spaces exposed by the etching with a dielectric material. The integrated circuits may also be produced using a process called damascene, in which a first insulating layer is deposited on a metal layer of level  $n-1$ . The holes through this insulating layer are etched, the metal forming the via is deposited and polished to be level with the upper surface of the insulating layer. Then a

new insulating layer is deposited on the via of level  $n$  thus formed. The trenches forming the future lines are etched, and the metal forming the lines of the metal layer of level  $n$  is deposited. The metal is polished to be level with the upper surface of the insulating layer, etc. This process is well suited to the production of lines and vias made of copper since this material can not be etched at room temperature and has advantageous electrical characteristics for lines having a small cross section. This process can also be used with metals normally forming the lines and vias.

In a double damascene process, the metal is deposited both in the vias and the lines, and then polished. In one method of implementation, a stop layer, usually made of a nitride, is provided between an insulating layer of the vias and the lines. To obtain the final structure, there needs to be excellent selectivity of the etching of the oxide forming the insulating layer as compared with the nitride.

To increase the density of an integrated circuit, attempts have been made to reduce the width of the metal lines and the width of the dielectric materials separating two metal lines. However, the electrical capacitance existing between two adjacent metal lines is inversely proportional to the distance separating them. By reducing this distance to increase the density of the circuit, the interline capacitance is increased. This is a problem since it results in an increase in the propagation constant  $\tau$  of the electrical signal in the lines:

$$\tau = R * C$$

The variable  $R$  is the resistance of the metal line, and  $C$  is the interline capacitance. The stray coupling between two electrical signals propagating in

two adjacent lines, i.e., crosstalk, is also increased. This interline capacitance is proportional to the permittivity coefficient  $k$  of the dielectric material used, and is proportional to the lateral area of the lines. The tendency is to use dielectric materials having a low permittivity coefficient  $k$ , or to use less resistive conducting materials, such as copper, to reduce the height of the lines and the lateral area.

However, the use of dielectric materials having a low permittivity coefficient and the use of less resistive conducting materials still cause integration problems in the field of integrated-circuit fabrication.

#### Summary of the Invention

An object of the present invention is to remedy the drawbacks of the abovementioned techniques by providing an integrated circuit having reduced interline capacitances.

The integrated circuit comprises tracks of at least one metal level provided with dielectric layers and with metal vias connecting tracks of two adjacent levels. At least one part of at least one metal level  $n$  is split into two partial levels offset heightwise. The circuit comprises at least one via connecting a track of the upper partial level with an element lying below the dielectric layer of level  $n$ . This via passes through the dielectric layer of level  $n$  and the dielectric material separating the tracks of the lower partial level. The circuit comprises at least one via connecting a track of the lower partial level with a track of a metal level  $n+1$ . This via passes through the dielectric layer of level  $n+1$  and the dielectric material separating the tracks of the upper partial level. The average distance mutually separating the

conducting tracks are increased and the interline capacitances which are inversely proportional to this distance are decreased.

In one embodiment, part of the tracks of the metal level are divided between an upper partial level and a lower partial level.

In another embodiment, part of the tracks of the metal level are provided without them intersecting.

In yet another embodiment, the upper and lower partial levels are adjacent.

In a further embodiment, the upper and lower partial levels are separated by an additional layer of dielectric material.

In another embodiment of the invention, at least one via connecting a track of the upper partial level with an element lying below the dielectric layer of level  $n$  pass through an additional layer of dielectric material. At least one via connecting a track of the lower partial level with a track of a metal level  $n+1$  pass through the additional layer of dielectric material. The upper and lower partial levels may be separated by an additional layer of dielectric material and by a stop layer.

In the process for fabricating an integrated circuit according to the invention, a second dielectric layer is deposited on a first dielectric layer provided with vias. Trenches are etched in the second dielectric layer and conducting tracks are produced by filling the trenches with a metal. A third dielectric layer is deposited. Trenches are etched in the third dielectric layer and conducting tracks are produced by filling the trenches with metal. At least one part of the metal level thus obtained is split into two partial levels offset heightwise.

In one embodiment, a stop layer may be deposited before the third dielectric layer to control the depth of the trenches.

In the process for fabricating an integrated circuit according to the invention, a stop layer is deposited on a first dielectric layer and holes are etched in the stop layer. A second dielectric layer is deposited. Trenches are etched in the second dielectric layer, and holes are etched in the first dielectric layer at positions corresponding to the holes in the stop layer. Vias and conducting tracks are produced by filling the holes and the trenches with metal. A third dielectric layer and a second stop layer are deposited, and holes are etched in the second stop layer. A fourth dielectric layer is deposited. Trenches are etched in the fourth dielectric layer, and holes are etched in the third dielectric layer at the positions corresponding to the holes in the second stop layer. Vias and conducting tracks are produced by filling the holes and the trenches with metal to obtain at least one part of the metal level that is split into two partial levels offset heightwise.

In the process for fabricating a first metal layer is deposited on a dielectric layer provided with vias, and then etched. The open spaces left by the etching are filled with dielectric material. A second metal layer is deposited and then etched. The open spaces left by the etching are filled with dielectric material to obtain at least one part of the metal level that is split into two partial levels offset heightwise.

The masks used for the fabrication of the conducting lines may include recessed zones corresponding to extensions used for respectively connecting a line of a given upper or lower partial



level with a via located opposite the partial level, under the lower partial level or on the upper partial level. Thus, an integrated circuit is provided which can be produced with very small widths of dielectric material between lines because of the use of the improved geometry according to the invention, and which can be fabricated using different technologies.

Description of Preferred Embodiment

The present invention will be more clearly understood on studying the detailed description of a few embodiments given by way of entirely non-limiting examples and illustrated by the appended drawings.

Referring now to Figures 1 to 3, a portion of an integrated circuit comprises, at a given conducting level, a plurality of conducting lines 1 and a plurality of vias 2, 3. The vias 2, 3 allow two lines

of adjacent and superposed conducting layers, or a line of a conducting layer and a portion of a semiconductor substrate located underneath, to be electrically connected together. More particularly, Figure 3 shows that the via 2 allows a line 1 of a given conducting layer to be connected with an element located there beneath. The vias 3 allow lines 1 to be connected to elements located above the conducting layer to which the lines 1 belong. The capacitance existing between two lines 1 of the same conducting level is proportional to the permittivity of the dielectric separating them and to their area facing each other, and inversely proportional to the distance separating them.

When referring to the following figures, the reference numbers of similar elements to those in previous figures have been increased by 10. Figure 4 shows that the integrated circuit according to the invention comprises metal lines 11, descending vias 12 and ascending vias 13. However, the invention may also apply to integrated circuits provided with a single conducting layer in which the vias are only descending, i.e., going down to the semiconductor substrate.

Figure 5 shows that some of the conducting lines of the conducting level illustrated have been offset heightwise. Thus, the lines 11a lie at a lower partial level while the lines 11b lie at an upper partial level. This combination provides the same connections as a conventional conducting level. Preferably, one conducting line in two is offset in this way, thereby making it possible to increase the average distance between two lines for the largest number of possible lines. This reduces their interline capacitances by increasing the distance separating them

without having to modify the layout or design of the integrated circuit.

Figure 6 shows the way in which the vias are connected upwards or downwards with respect to the conducting level split into two partial levels. The via 12 is intended to provide electrical connection between an element (not illustrated) lying at a lower level and a line 11b lying at the upper partial level  $n_2$ . An extension, labeled 14, of the via 12 is therefore provided at the lower partial level  $n_1$ . The extension 14 lies at the lower partial level  $n_1$  and may have the same width as the lines 11a, 11b.

Similarly, it may be seen that one of the vias 13 is intended to connect a line 11a of the lower partial level  $n_1$  to an element (not illustrated) of an upper level. The via 13 is provided with a downward extension 15 lying at the upper partial level  $n_2$ , and provides electrical connection between the actual via 13 and the conducting line 11a with which the via has to be connected. Conversely, a via 13 may be connected directly with a line 11b while a via 12 may be connected directly with a line 11a.

The presence of the extensions 14 and 15 of the vias 12 and 13 in the lower  $n_1$  and upper  $n_2$  partial levels has only a slight effect on the interline capacitances. This is so because the extensions 14 and 15 are at discrete locations, have the same width as a line, and have a length equivalent to the width of a via or to the width of a line. Therefore, their presence results only in a very small increase in the interline capacitances because of this small area presented opposite the other lines. This increase remains negligible compared with the reduction in the interline capacitances obtained by virtue of the invention.

Figures 7 to 10 illustrate the various resin masks used for fabricating an integrated circuit like the one illustrated in Figures 4 to 6. In Figure 7, the mask 16 comprises a recessed zone 17 obtained, for example, by photoetching at the position corresponding to the future via 12. This mask 16 may be used in the case of a double-damascene process with a stop layer for etching the stop layer on which the lower partial level  $n_1$  will lie. In the case of a single-damascene process, the mask 16 will serve for etching the dielectric layer lying below the lower partial level  $n_1$  of the hole corresponding to the future via 12.

The mask 18 illustrated in Figure 8 comprises recessed zones 19 which correspond to the positions of the future lines 11a of the lower partial level  $n_1$ , and a recessed zone 17 placed in the identical manner to that provided in the mask 16. This is intended for the manufacture of the extension 14 of the via 12 still at the level  $n_1$ . The mask 18 is used for etching a dielectric layer which lies at the level  $n_1$ , and which will provide the insulation between the various lines 11a and the extension 14.

The mask 20 illustrated in Figure 9 comprises recessed zones 21 at positions corresponding to the future lines 11b of the upper partial level  $n_2$ , and a recessed zone 22 corresponding to the position of the future extension 15 of the via 13 at the level  $n_2$ . In the same way as the mask 18, the mask 20 is used for etching a dielectric layer of the level  $n_2$ , which will provide the electrical insulation between the various lines 11b and the extension 15.

The mask 23 illustrated in Figure 10 comprises a recessed zone 22 identical to that of the mask 20, The recessed zone 22 corresponds to the position of a future via 13 and a recessed zone 24

corresponding to the position of another future via 13. In a single-damascene process, the mask 23 is used for etching the dielectric layer which separates the upper partial level  $n_2$  from another conducting level lying above it. In a double-damascene process with a stop layer, the mask 10 is used for etching a stop layer (not illustrated) lying above the dielectric layer separating the upper partial level  $n_2$  from the conducting level lying above it.

Figure 11 illustrates an integrated circuit fabricated according to a double-damascene process with a stop layer. Deposited on a conducting level  $n-1$  are a dielectric layer 34 made of silicon oxide, for example, and a thin stop layer 35 made of silicon nitride, for example. The conducting level  $n-1$  comprises conducting lines 30, 31 and 32 separated by a dielectric material 33. Next, the stop layer 35 is etched using a resin mask to obtain three holes 36 in the stop layer 35. The resin mask may be of the type like the mask 16 in Figure 7. This etching step is stopped when the dielectric layer 34 is reached.

The dielectric layer 37 made of silicon oxide, for example, is then deposited. The dielectric layer 37 is etched using a resin mask to define trenches 38 in the dielectric layer 37 and holes 39 in the dielectric layer 34 by making use of the holes 36 already formed in the stop layer 35. The resin mask may be of the type like the mask 18 in Figure 8. Next, the holes 39 and the trenches 38 are filled with metal, and thus the vias 40 and the lines 41 of the lower partial level  $n_1$  are formed.

To form the upper partial level  $n_2$ , a dielectric layer 42 is deposited and etched using a mask, and the trenches thus formed are filled with metal to obtain lines 43. The mask may be of the type

like the mask 20 in Figure 9. At the level  $n_1$ , the via 40 lying above the line 31 has been provided with an extension 44 which allows it to be connected to the line 43. The extension 44 lies at the lower partial level  $n_1$  and is formed at the same time as the lines 41 of the level  $n_1$ . Likewise, at the level  $n_2$ , an extension 45 is provided which allows the line 41 lying above the line 32 to be connected with a via of level  $n+1$ . Next, a dielectric layer 46 followed by a stop layer 47 is deposited and the steps described above may be repeated to form a conducting level  $n+1$ . This level may be of a conventional type on a single level, or of the type according to the invention, i.e., on two partial levels.

Figure 12 illustrates an integrated circuit obtained by a single-damascene process according to the invention. Deposited on a conducting level  $n-1$  is a dielectric layer 34 which is etched for the purpose of forming holes 48. These holes 48 are then filled with metal to form vias 49 of level  $n$ . The conducting level  $n-1$  comprises conducting lines 30 to 32 separated by a dielectric material 33. This etching step may be carried out using a resin mask. The resin mask may be of the type like the mask 16 in Figure 7.

A dielectric layer 50 is then deposited to form the lower partial level  $n_1$ . This is then etched by using a resin mask, thereby making it possible to obtain trenches 51 which are then filled with metal to form lines 52. The resin mask may be of the type like the mask 18 in Figure 8. Next, a dielectric layer 53 is deposited and etched using a resin mask. The resin mask may be of the type like the mask 20 in Figure 9. Next, the trenches thus obtained are filled with metal to form the conducting lines 54 of the conducting level  $n_2$ .

As in the case of the integrated circuit illustrated in the previous figure, extensions 44 and 45 are provided. Next, a dielectric layer 55 is deposited and etched using a resin mask to form vias 56 of level  $n+1$ . The resin mask may be of the type like the mask 23 in Figure 10. The previous steps may then be repeated to form the conducting level  $n+1$ , which may be of the conventional type or of the type split into two partial levels offset heightwise in accordance with the invention.

Figure 13 illustrates an alternative embodiment of the integrated circuit in Figure 11. According to this alternative embodiment, the two lower  $n_1$  and  $n_2$  partial levels are separated by an additional layer 57 made of dielectric material and by an additional stop layer 60. The additional layer 57 is provided with additional vias 58 and 59 which makes it possible to provide electrical contact between the lower partial level  $n_1$  and the upper partial level  $n_2$ . The additional via 58 lies between the conducting line 43 of the level  $n_2$  and the extension 44 at the level  $n_{+1}$  of the via 40 at level  $n$ . The additional via 59 lies between the conducting line 41 of the level  $n_1$  and the extension 45 of level  $n_2$  of the corresponding via of level  $n_{+1}$ .

These additional vias are used for making the necessary electrical connections while making it possible to increase the distance between the various conducting lines, such as line 41 and 43, for example. By virtue of this arrangement, an even greater decrease in the interline capacitances is obtained. In Figures 11 to 13, the level  $n-1$  was regarded as a conducting level. However, it could be the semiconductor substrate while still remaining within the scope of the invention.

By virtue of the invention, the speed performance of the integrated circuit is enhanced because of the reduction in the time constant  $R \times C$ , where  $R$  is the resistance of a line and  $C$  is the interline capacitance. The interline crosstalk is also reduced because of the reduction in the interline capacitances. Interline capacitance reduction is achieved independently of the dielectric material used and independently of the height of the lines, and without increasing the number of interconnection levels in the design of the circuit. In addition, the fact that a given conducting level is split into two partial levels does not require the entire integrated circuit to be redesigned, something which would be extremely expensive. Instead, only a modification to the pre-existing drawings is required to define the masks that are needed.

The integrated circuit according to the invention can therefore be obtained using damascene fabrication processes regardless of the type of damascene process used. The integrated circuit according to the invention can also be obtained using conventional fabrication processes, i.e., by photolithographic etching of a metal layer. Of course, an integrated circuit may be produced with only one conducting level according to the invention, or with several conducting layers according to the invention. It is thus possible to modify the fabrication of an integrated circuit already in production by producing a conducting level where a particular interline capacitance problem exists. In the case of a circuit fabricated in double-damascene technology with an additional dielectric layer, the additional dielectric layer and the level  $n_2$  may be produced using a double-damascene process. This saves time and reduces the



cost of fabrication. It is also possible to use low-permittivity dielectrics and low-resistivity metals for the lines and the vias.

#### 4. Brief Description of Drawings

Figure 1 is a top view of an integrated circuit according to the prior art;

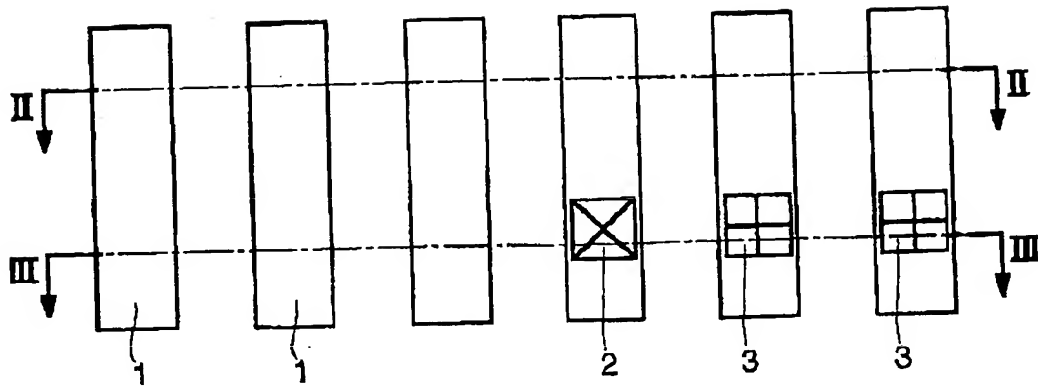
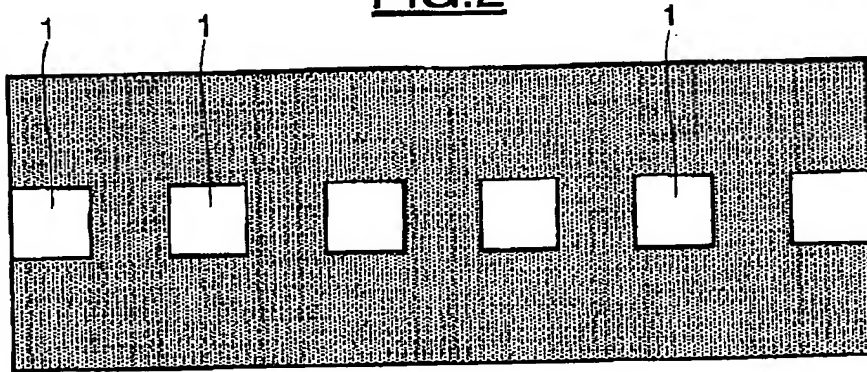
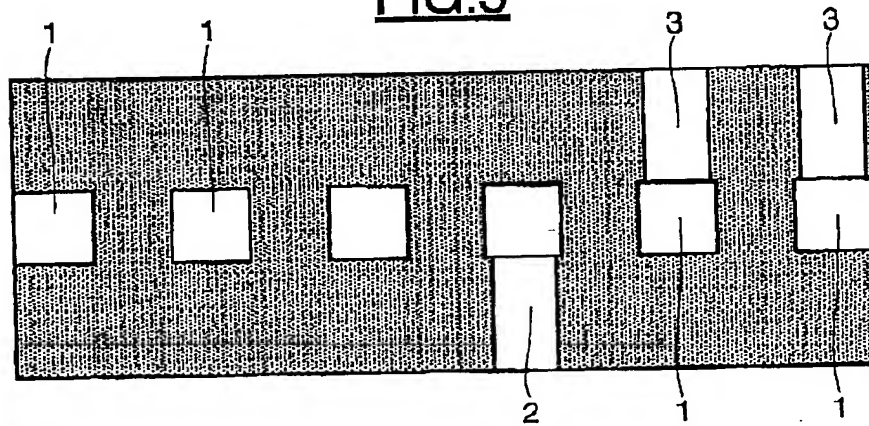
Figures 2 and 3 are respective cross-sectional views on sections II-II and III-III in Figure 1;

Figure 4 is a top view of an integrated circuit according to the present invention;

Figures 5 and 6 are respective cross-sectional views on sections V-V and VI-VI in Figure 4;

Figures 7 to 10 are top views of the masks used for the fabrication of an integrated circuit according to the present invention; and

Figures 11 to 13 are cross-sectional views of an integrated circuit according to the present invention.

FIG.1FIG.2FIG.3

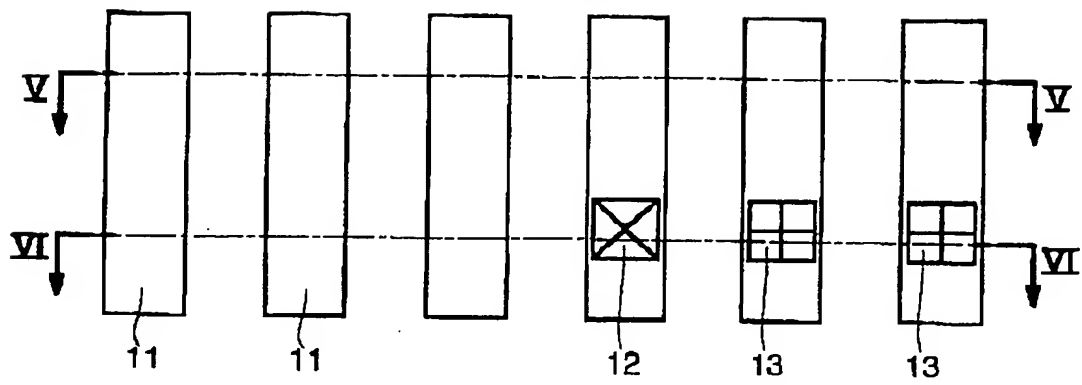
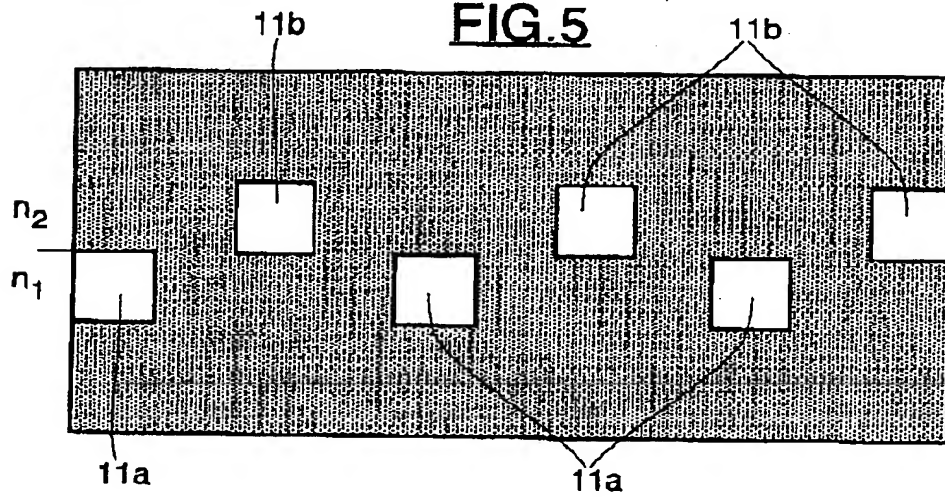
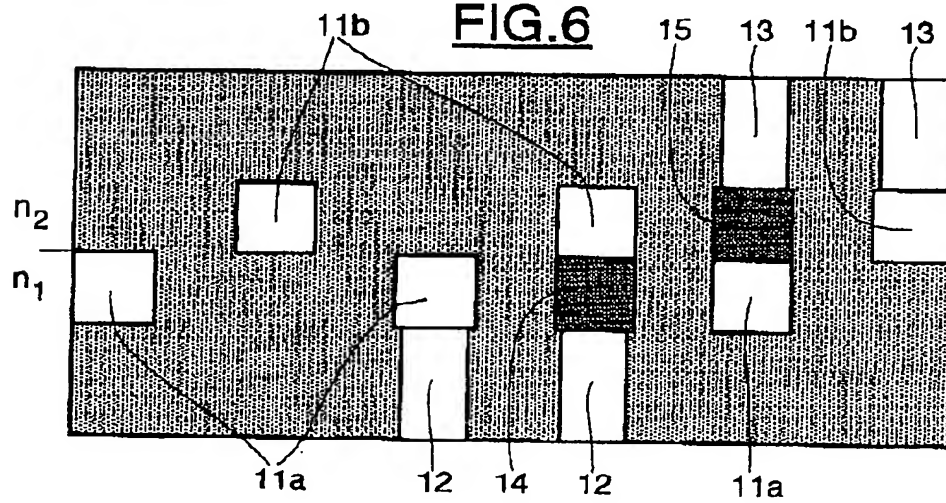
**FIG.4****FIG.5****FIG.6**

FIG.7

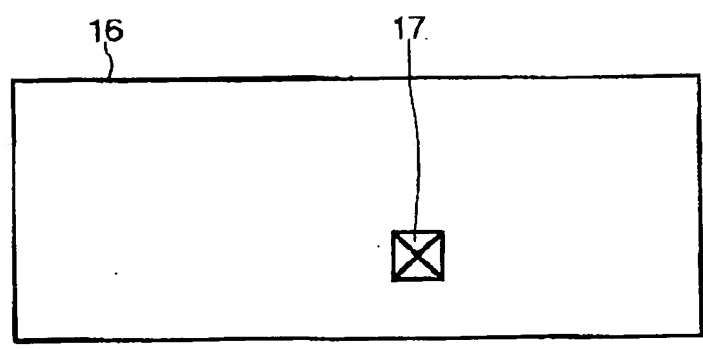


FIG.8

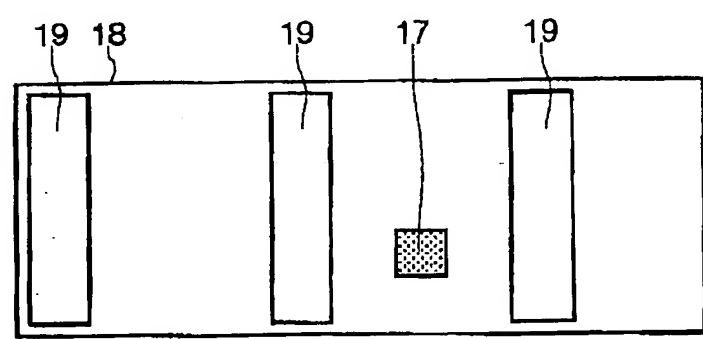


FIG.9

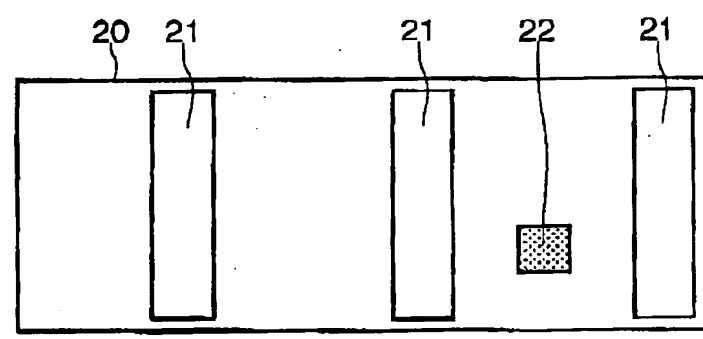
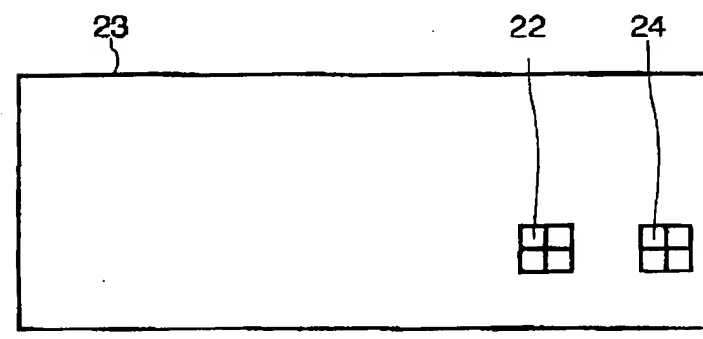
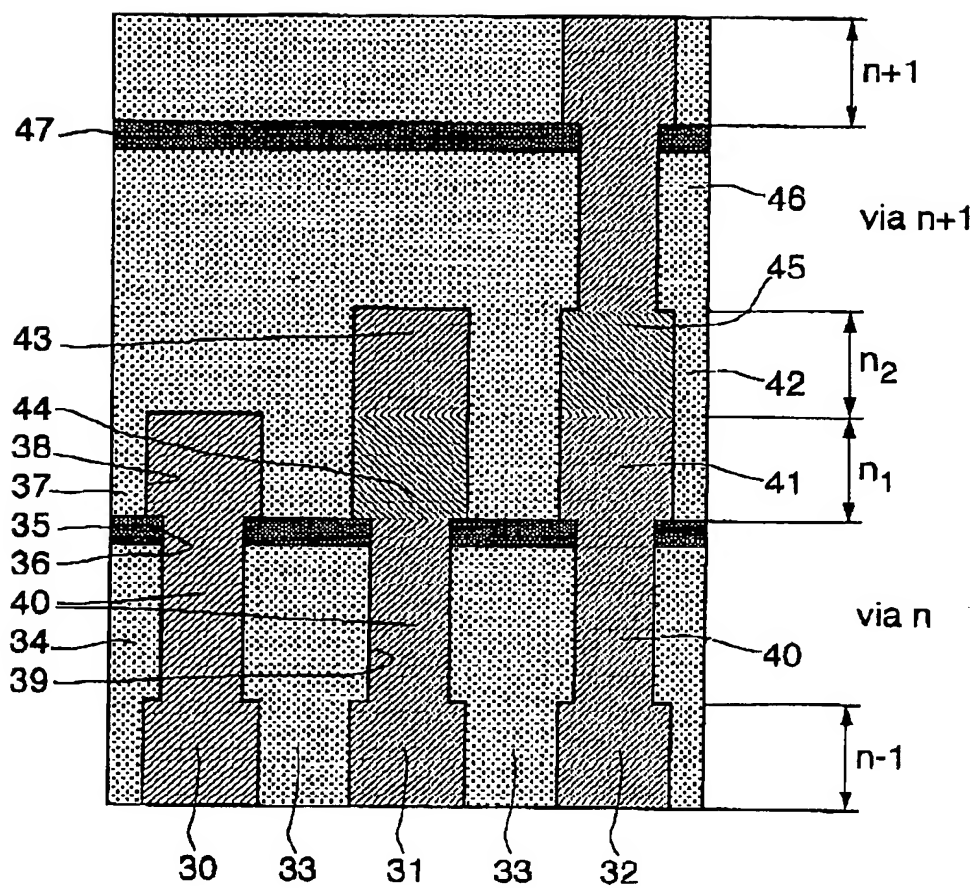
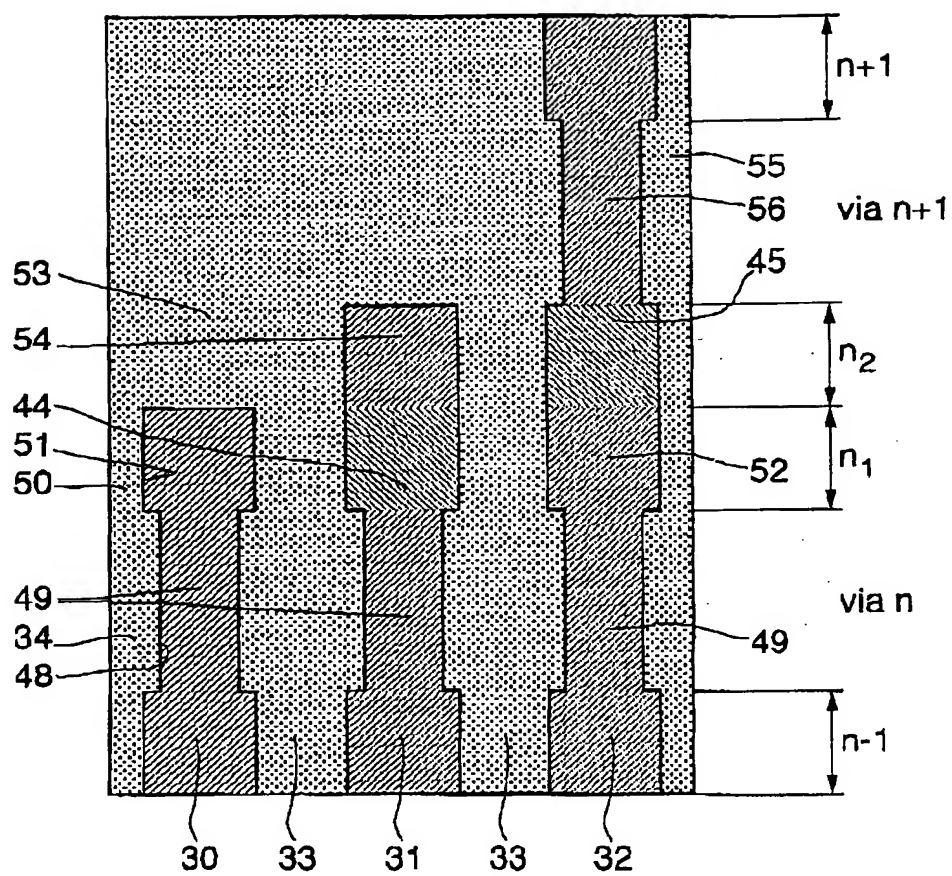


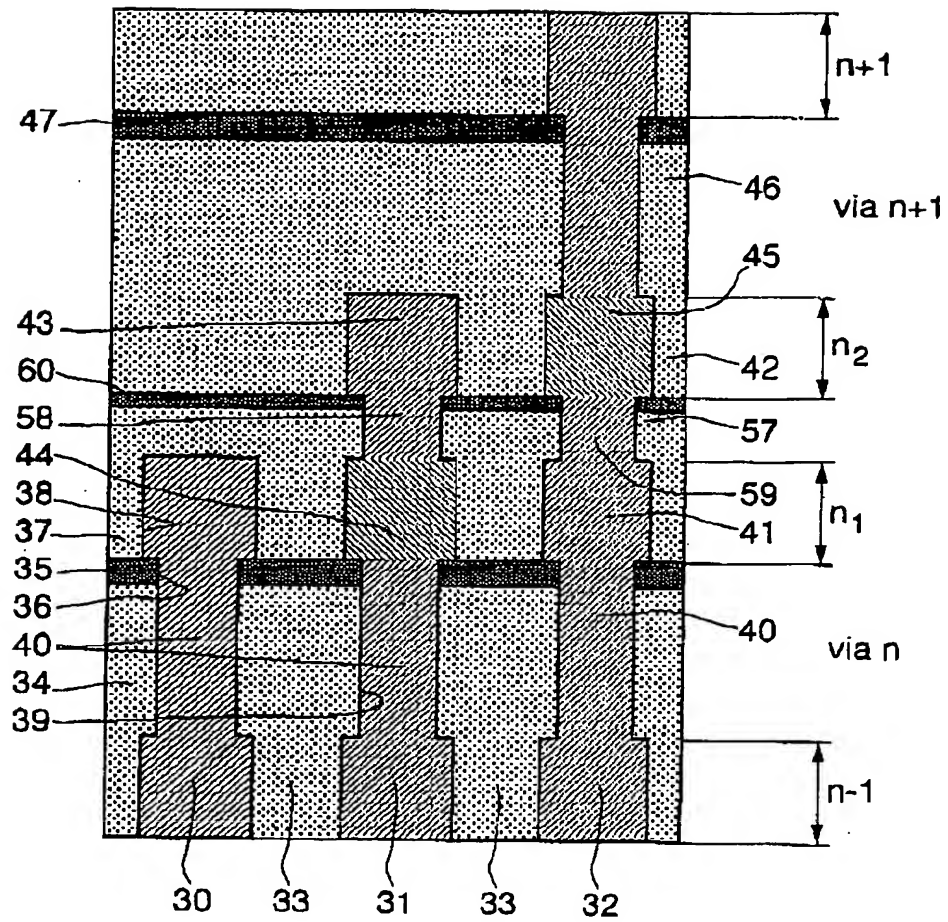
FIG.10



**FIG.11**

**FIG.12**



**FIG.13**

1. Abstract

The integrated circuit comprises tracks of at least one metal level provided with dielectric layers and with metal vias connecting tracks of two adjacent levels. At least one part of at least one metal level  $n$  is split into two partial levels offset heightwise. The circuit comprises at least one via connecting a track of the upper partial level with an element lying below the dielectric layer of level  $n$ . This via passes through the dielectric layer of level  $n$  and the dielectric material separating the tracks of the lower partial level. The circuit comprises at least one via connecting a track of the lower partial level with a track of a metal level  $n+1$ . This via passes through the dielectric layer of level  $n+1$  and the dielectric material separating the tracks of the upper partial level. The average distance mutually separating the conducting tracks are increased and the interline capacitances which are inversely proportional to this distance are decreased.

2. Representative Drawing

Figure 6